



LED 驱动控制/键盘扫描专用集成电路

FD650B

器件手册

版本： V4_B

日期： 2014-02-25

著作权

Copyright © 2012 by FUZHOU FUDA HISI MICROELECTRONICS CO.,LTD.

使用指南中所出现的信息在出版当时相信是正确的，然而福大海矽对于说明书的使用不负任何责任。文中提到的应用目的仅仅是用来做说明，福大海矽不保证或表示这些没有进一步修改的应用将是适当的，也不推荐它的产品使用在会由于故障或其它原因可能会对人身造成危害的地方。福大海矽产品不授权使用于救生、维生器件或系统中做为关键器件。福大海矽拥有不事先通知而修改产品的权利，对于最新的信息，请参考我们的网址 <http://www.fdhisi.com>

版本修订记录

版本号	更新日期	修订内容
V4	2013.07.25	去掉不实用的中断功能，增强驱动能力，增强抗干扰能力（ESD \geq 8KV）
V4_B	2014.02.25	更改芯片打标 FD650B-S 以及 FD650B-D

目 录

一、概述.....	1
二、特性说明	1
三、管脚定义	2
四、管脚功能说明.....	2
五、主要电气参数.....	3
六、封装尺寸	8
(一) DIP16 封装 :	8
(二) SO16 封装 :	9
七、典型应用电路.....	10
(一) 三位数码管应用电路 (精简应用)	10
(二) 四位数码管应用电路 (完整应用及说明)	11
八、应用须知 :	12
1. 注意事项 :	12
1.1. 硬件须知 (请严格遵守)	12
1.2. 软件须知 (请严格遵守)	13
2 . 显示支持 :	14
3 . 键盘扫描 :	14

LED 驱动控制/键盘扫描专用集成电路 FD650B

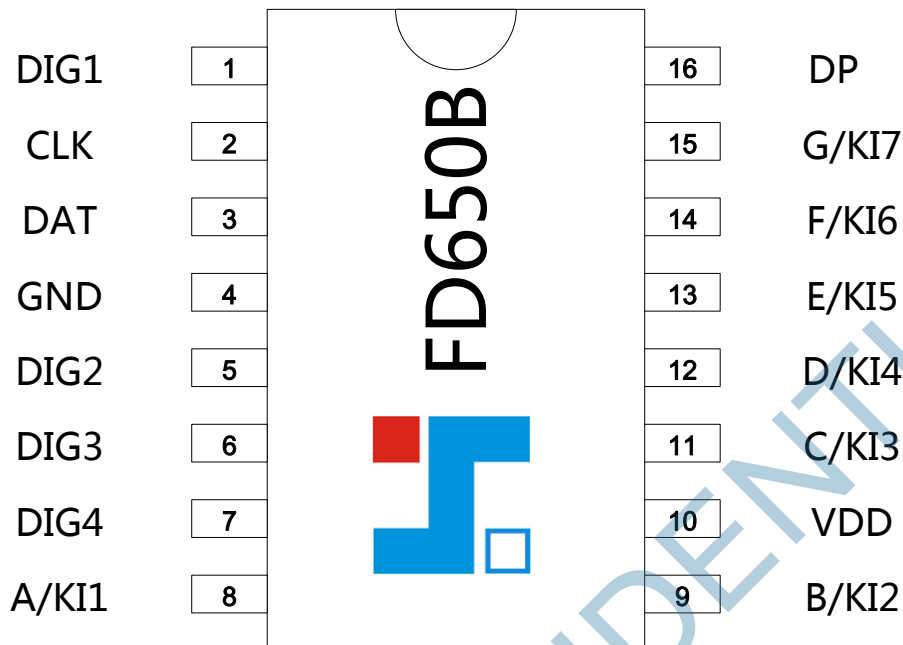
1. 概述

FD650B是一种带键盘扫描电路接口的LED驱动控制专用电路。内部集成有MCU输入输出控制数字接口、数据锁存器、LED驱动、键盘扫描、辉度调节等电路。本芯片性能稳定、质量可靠、抗干扰能力强，可适应于24小时长期连续工作的应用场合。

2. 特性说明

- 采用CMOS工艺
- 显示模式：4位×8段
- 段驱动电流不小于13mA，位驱动电流不小于150mA
- 超强的输入端口抗干扰能力,ESD≥8KV
- 提供8级亮度控制(占空比8级可调7/8、1/16、1/8、2/8、3/8、4/8、5/8、6/8)
- 键盘扫描：4x7 bit
- 高速两线式串行接口（CLK，DAT）
- 内置时钟振荡电路
- 内置上电复位电路
- 支持2.7V—5.5V电源电压
- 提供DIP16（FD650B-D）及SOP16(FD650B-S)封装

3. 管脚定义



4. 管脚功能说明

符 号	管脚名称	说 明
DIG1~DIG4	位/键扫描输出	LED位驱动输出，低电平有效， 及作为键盘扫描输出，高电平有效
DAT	数据输入/输出	串行接口的数据输入输出，为内置上拉开漏模式
CLK	时钟输入	串行接口的数据时钟输入，内置上拉电阻；时钟上升沿锁存输入数据，时钟下降沿输出数据
A/KI1 — G/KI7	段驱动输出/键扫描输入	LED段驱动输出，高电平有效，也用作键扫描输入，高电平有效，内置下拉
DP	段输出	LED段输出
VDD	电源端	接系统3.3V或5.0V
GND	接地端	接系统地

5. 主要电气参数

极限参数 (Ta = 25℃, VDD=5.0V)

参 数	符 号	条 件	范 围	单 位
电源电压	VDD	—	-0.5 ~ +6.5	V
输入电压	V _{I1}	—	-0.5 ~ VDD + 0.5	V
LED 段驱动输出电流	I _{O1}	VDD=5.0V, V _{OH} =3.5V	0 ~ 25	mA
LED 位驱动输出电流	I _{O2}	VDD=5.0V, V _{OL} =0.8V	0 ~ 200	mA
工作温度	T _{OPT}	—	-40 ~ +85	℃
储存温度	T _{STG}	—	-55 ~ +125	℃

电气特性

 (测试条件: $T_a = 25^{\circ}\text{C}$, $V_{DD} = 5\text{V}$)

参 数	符 号	条 件	最 小	典 型	最 大	单 位
电源电压	V_{DD}	—	2.7	5	5.5	V
工作电流	I_C	$V_{DD}=5.0\text{V}$, 三级亮度显示 88: 88	—	40	—	mA
		$V_{DD}=5.0\text{V}$, 五级亮度显示 88: 88	—	70	—	mA
		$V_{DD}=5.0\text{V}$, 八级亮度显示 88: 88	—	110	—	mA
静态电流	I_{DD}	无负载, 无信号, 只供5.0V 电压	—	0.4	—	mA
CLK和DAT引脚低 电平输入电压	V_{IL}	$V_{DD}=5.0\text{V}$	-0.5	—	0.8	V
CLK和DAT引脚高 电平输入电压	V_{IH}	$V_{DD}=5.0\text{V}$	2.0	—	$V_{DD}+0.5$	V
KI引脚判决电平	V_{KI}	$V_{DD}=5.0\text{V}$	3.0	—	$V_{DD}+0.5$	V
DIG引脚低电平输 出电压	V_{OLDIG}	$V_{DD}=5.0\text{V}$, 驱动电流 200mA	—	—	0.8	V
DIG引脚高电平输 出电压	V_{OHDIG}	$V_{DD}=5.0\text{V}$, 驱动电流5mA	4.5	—	—	V
KI引脚高电平输出 电压	V_{OHKI}	$V_{DD}=5.0\text{V}$, 驱动电流 20mA	3.5	—	—	V
掉电复位电压门限	V_R		—	2.0	—	V

(测试条件: $T_a = 25^{\circ}\text{C}$, $V_{DD} = 3.3\text{V}$)

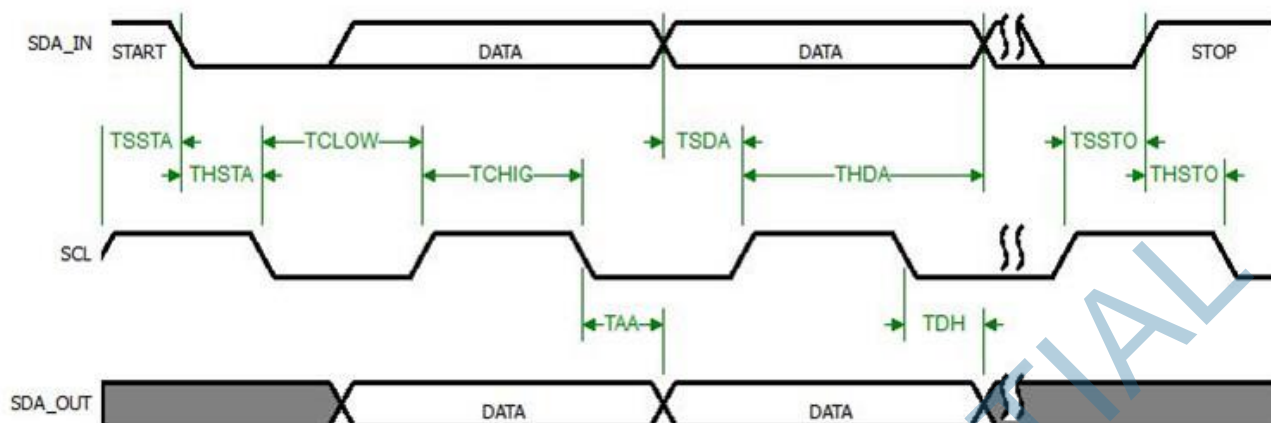
参 数	符 号	条 件	最 小	典 型	最 大	单 位
电源电压	V_{DD}	—	2.7	3.3	5.5	V
工作电流	I_C	$V_{DD}=3.3\text{V}$, 三级亮度显示 88: 88	—	15	—	mA
		$V_{DD}=3.3\text{V}$, 五级亮度显示 88: 88	—	28	—	mA
		$V_{DD}=3.3\text{V}$, 八级亮度显示 88: 88	—	45	—	mA
静态电流	I_{DD}	无负载, 无信号, 只供3.3V 电压	—	0.25	—	mA
CLK和DAT引脚低 电平输入电压	V_{IL}	$V_{DD}=3.3\text{V}$	-0.5	—	0.8	V
CLK和DAT引脚高 电平输入电压	V_{IH}	$V_{DD}=3.3\text{V}$	2.0	—	$V_{DD}+0.5$	V
KI引脚判决电平	V_{KI}	$V_{DD}=3.3\text{V}$	1.8	—	$V_{DD}+0.5$	V
DIG引脚低电平输 出电压	V_{OLDIG}	$V_{DD}=3.3\text{V}$, 驱动电流 150mA	—	—	0.6	V
DIG引脚高电平输 出电压	V_{OHDIG}	$V_{DD}=3.3\text{V}$, 驱动电流5mA	2.8	—	—	V
KI引脚高电平输出 电压	V_{OHKI}	$V_{DD}=3.3\text{V}$, 驱动电流 20mA	2.0	—	—	V
掉电复位电压门限	V_R		—	2.0	—	V

内部时序参数 (测试条件: $T_a = 25^{\circ}\text{C}$, $V_{DD} = 3.3\text{V}$)

参 数	符 号	最 小	典 型	最 大	单 位
电源上电检测产生的复位时间	T_{PR}	—	6.5	—	ms
显示扫描周期	T_P	—	8	—	ms
键盘扫描间隔, 按键响应时间	T_{KS}	—	8	—	ms

注: 本表时序参数是内置时钟周期的倍数, 内置时钟频率随电源电压的降低而降低。

接口时序参数（测试条件：Ta = 25℃，VDD = 3.3V）



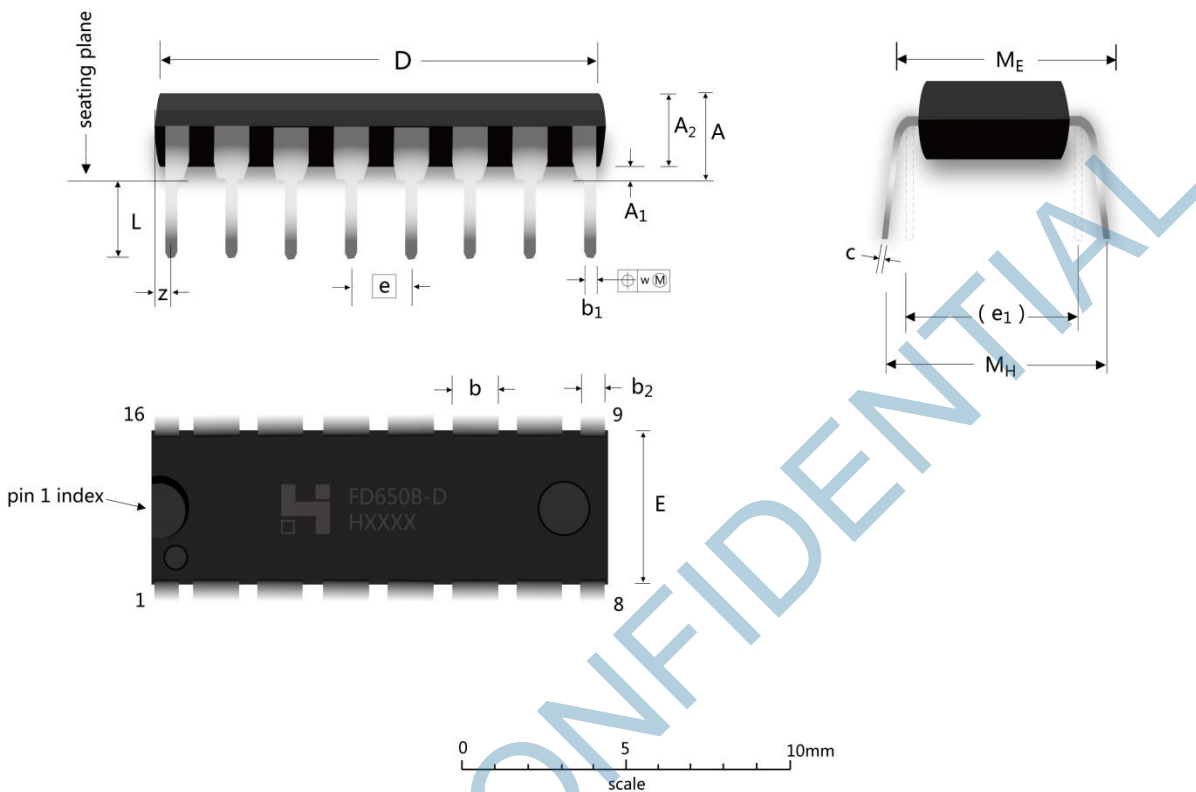
参 数	符 号	最 小	典 型	最 大	单 位
DAT下降沿启动信号的建立时间	TSSTA	100	—	—	ns
DAT下降沿启动信号的保持时间	THSTA	100	—	—	ns
DAT上升沿停止信号的建立时间	TSSTO	100	—	—	ns
DAT上升沿停止信号的保持时间	THSTO	100	—	—	ns
CLK时钟信号的低电平宽度	TCLOW	500	—	—	ns
CLK时钟信号的高电平宽度	TCHIG	500	—	—	ns
DAT输入数据对CLK上升沿建立时间	TSDA	100	—	—	ns
DAT输入数据对CLK上升沿保持时间	THDA	600	—	—	ns
DAT输出数据有效对CLK下降沿延时	TAA	100	—	—	ns
DAT输出数据无效对CLK下降沿延时	TDH	—	—	—	ns
平均数据传输速率	Rate	0	—	1M ^[1]	bps

注：本表计量单位以纳秒(ns)即 10^{-9} ，未注明最大值则理论值可以无穷大。

【1】：该参数为FD650B支持的**最高**速率，但针对不同上位机平台，以及不同的硬件接口配置，该参数差异较大，机顶盒应用详见《[DVB四位数码管应用电路图](#)以及[软件须知](#)》，建议值**100KHz**

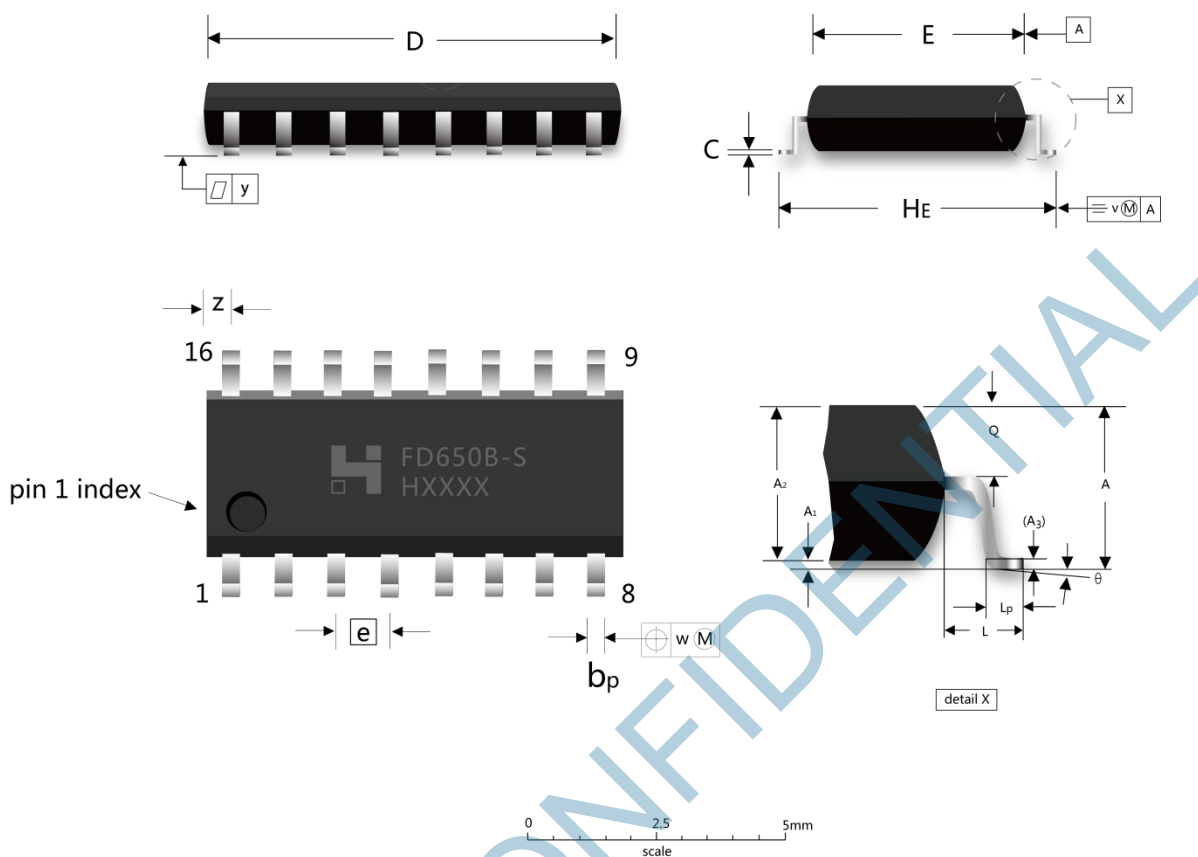
6. 封装尺寸

(一) DIP16 封装：



UNIT	A max.	A ₁ min.	A ₂ max.	b	b ₁	b ₂	c	D ⁽¹⁾	E ⁽¹⁾	e	e ₁	L	M _E	M _H	w	Z ⁽¹⁾ max.
mm	4.2	0.51	3.2	1.73 1.30	0.53 0.38	1.25 0.85	0.36 0.23	19.50 18.55	6.48 6.20	2.54	7.62	3.60 3.05	8.25 7.80	10.0 8.3	0.254	0.76
inches	0.17	0.02	0.13	0.068 0.051	0.021 0.015	0.049 0.033	0.014 0.009	0.77 0.73	0.26 0.24	0.1	0.3	0.14 0.12	0.32 0.31	0.39 0.33	0.01	0.03

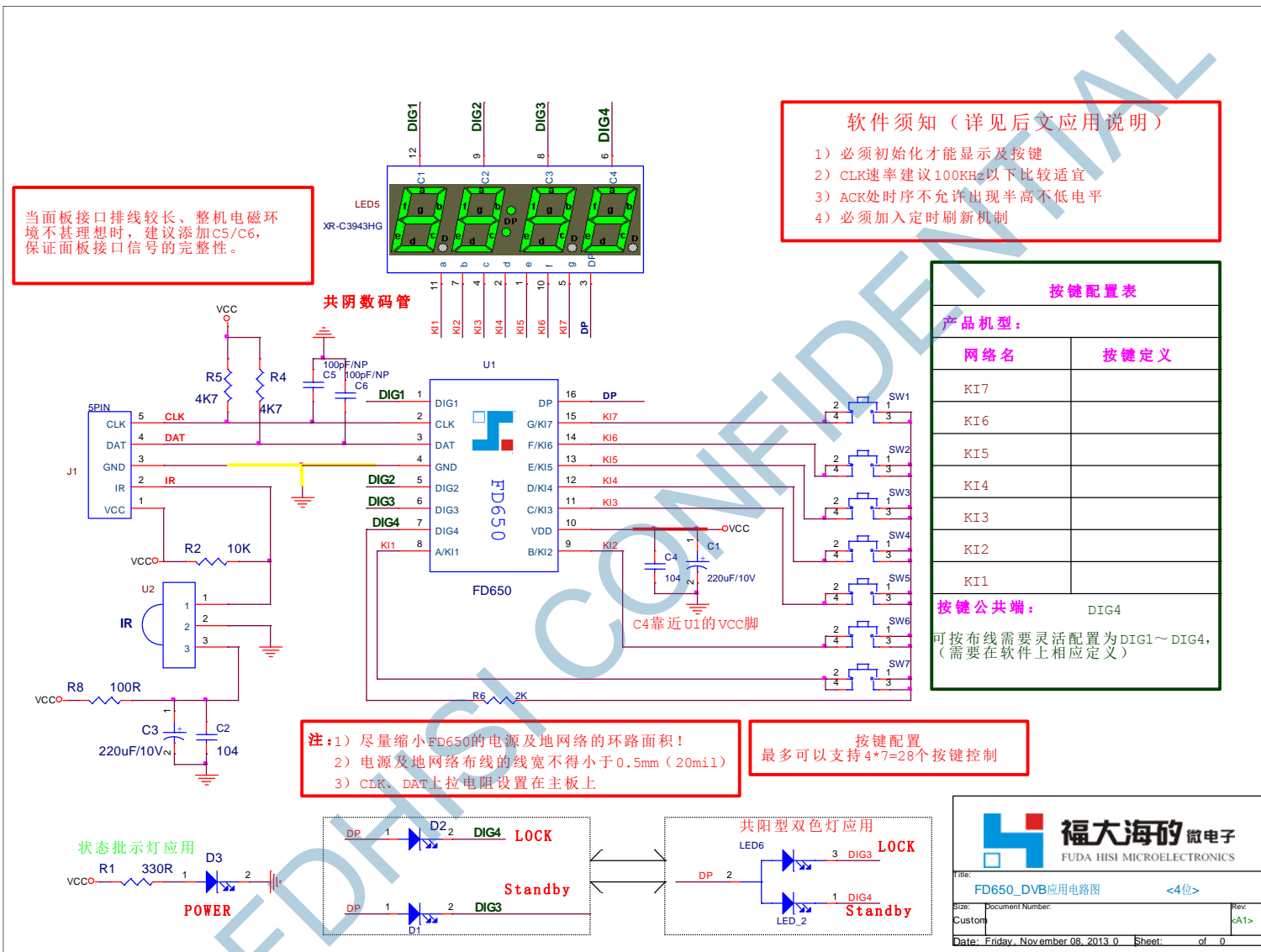
(二)SO16 封装：

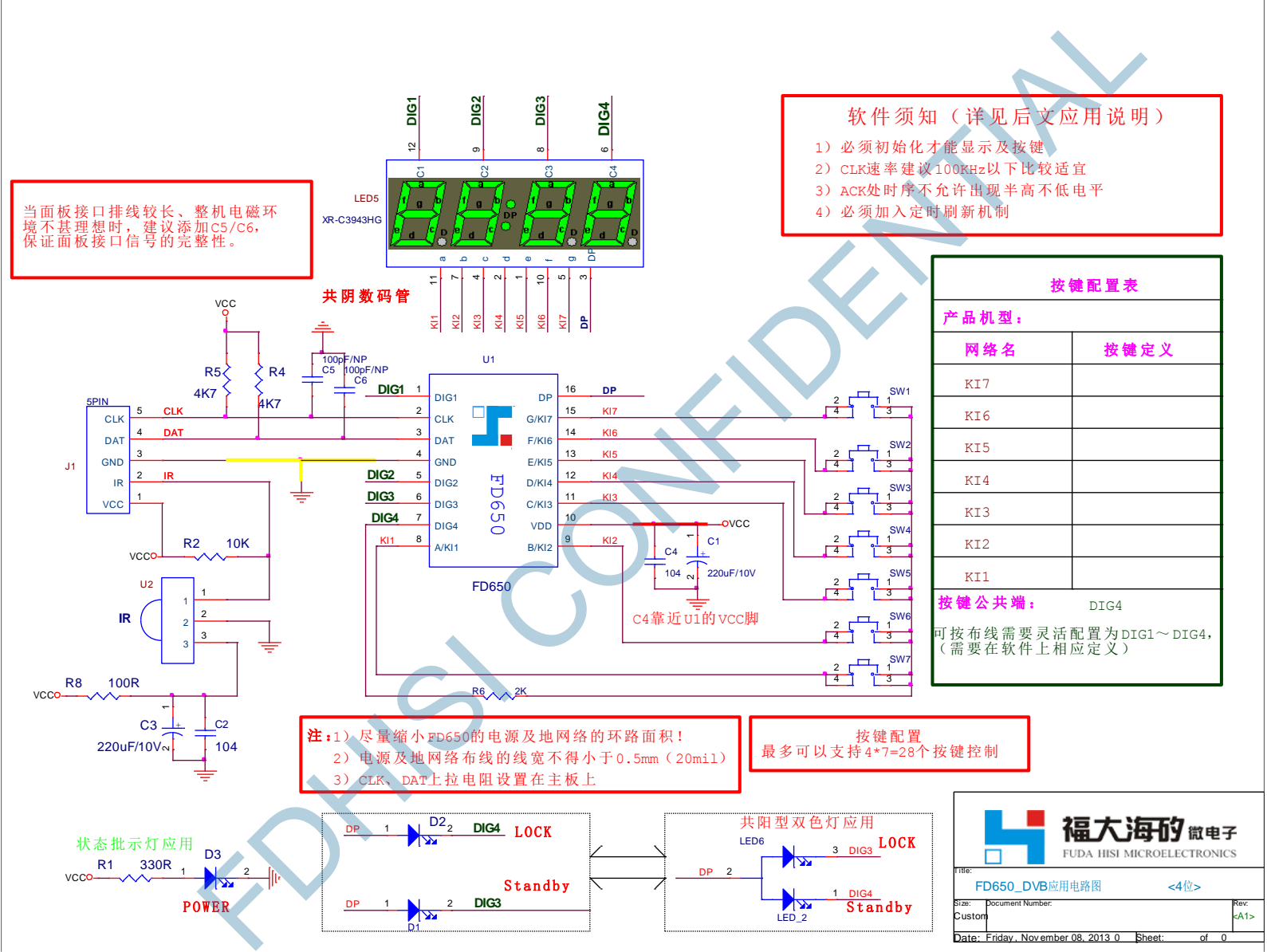


UNIT	A _{max}	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H	L	L _p	Q	v	w	y	Z ⁽¹⁾	θ
mm	1.75	0.25 0.10	1.45 1.25	0.25	0.49 0.36	0.25 0.19	10.0 9.8	4.0 3.8	1.27	6.2 5.8	1.05	1.1 0.4	0.7 0.6	0.25	0.25	0.1	0.7 0.3	8° 0°
inches	0.069	0.010 0.004	0.057 0.049	0.01	0.019 0.014	0.010 0.0075	0.039 0.016	0.16 0.15	0.05	0.244 0.228	0.041	0.039 0.016	0.028 0.020	0.01	0.01	0.004	0.028 0.012	

7. 典型应用电路

(一) 三位数码管应用电路（精简应用）





8. 应用须知：

9. 注意事项：

说明：请注意**红色加粗**和**黑色加粗**部分文字说明，这些均为重点。

1.1. 硬件须知（请严格遵守）

1)、由于FD650B驱动数码管或者LED的电流较大，会在电源上产生较大的毛刺电压，所以如果电源线或者地线的PCB 布线不合理，将有可能影响单片机或者FD650B的稳定性，有关**电源干扰的解决措施**：

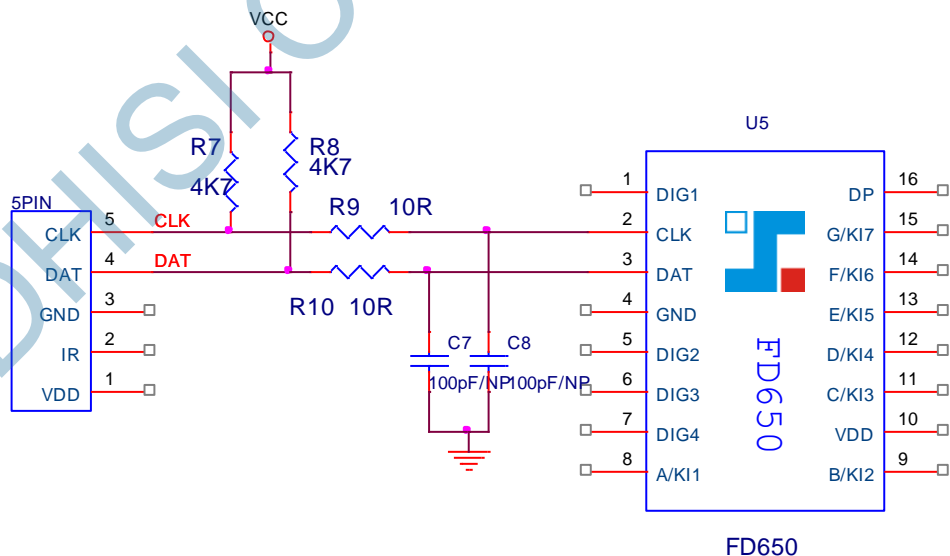
① 尽量缩小电源及地网络环路的面积；并尽量为电源及地网络提供**不小于0.5mm**的走线宽度。

② 在FD650B的电源和地之间，**必须加入**至少一只**0.1uF**的独石或者瓷片电容和一只容量**不小于100uF** 的电解电容进行退耦合（**0.1uF+100uF**）。同时0.1uF电容应在电源和地引脚之间就近接入（在首先保证地环路通畅的情况下，尽量靠近FD650B的电源引脚布局）

2)、为FD650B的信号DAT及CLK接口**必须加入**上拉电阻R7、R8 (建议值：**4K7 & CLK速率100KHz**) ,其值可以是**2KΩ~10KΩ**，以加强接口的驱动能力，以便长距离传输时保证较好的信号完整性。

3)、在接口排线较长或整机电磁环境不甚理想时,FD650B的信号接口将可能引入干扰，此时建议：

- ① 在FD650B的DAT及CLK引脚端，增加**10pF~100pF**滤波电容。（如下图C8、C7）
- ② 对于一些如电磁炉等较强干扰环境的应用，建议采用以上两措施的同时，适当调低FD650B与单片机的工作频率，并可选地在DAT及CLK上串接电阻，阻值可以是**0Ω~100Ω**，如下图R9、R10：



- 4)、应用电路为**共阴**数码管电路，切记
不推荐使用共阳数码管，共阳数码管需外置三极管转换电路且无法与按键共同使用。
- 5)、**建议主板与面板保持相同供电**
如上位机主控制端GPIO口为3.3V供电（通信口SCL、SDA），建议面板也使用3.3V供电，基于大部分均为3.3VIO口，建议使用**3.3V供电**。

1.2. 软件须知（请严格遵守）

- 1)、**必须**开启显示才能加载数据寄存器进行显示（**FD650B 初始化——显示数据**）

- 2)、**必须**加入定时刷新机制

由于面板电路大多采用排线接入主板，较易引入整机的内及外部的电磁干扰，而引起面板电路的瞬时工作异常，针对这种情况，FD650B可通过加入定时刷新机制，以最小化干扰对其的影响，每隔数秒定期对FD650B进行刷新，包括重新开启显示及加载各个数码管的数据寄存器来优化抗干扰性。

定时刷新机制的软件配置流程：FD650B 初始化——显示数据

参考代码如下：

```
void MDrv_FrontPnl_Show_State(void)
{
    MS_U8 i;
    MS_U8 LedBuffer[4];
    for(i=0;i<4;i++)
    {
        LedBuffer[i] = Led_Get_Code(g_u8FrontPnlStr[i]);
    }
    FD650_Write(0x0400|0x01|0x00); //开启八段模式 //初始化
    //显示数据
    FD650_Write( 0x1400 | LedBuffer[0] ); //点亮第一个数码管
    FD650_Write( 0x1500 | LedBuffer[1] ); //点亮第二个数码管
    if((SignallsLock)&&(MApp_ZUI_GetActiveOSD() == 8))
        FD650_Write(0x1600 | LedBuffer[2]|0x0080); //点亮第三个数码管
    else
        FD650_Write(0x1600 | LedBuffer[2]|0x0000); //点亮第三个数码管
    FD650_Write( 0x1700 | LedBuffer[3] ); //点亮第四个数码管
}
```

- 3)、**降低通信频率**

对于诸如 DVB 面板的“长线”传输应用，越高的通信频率，越不利于信号的完整性，因此建议通信频率在 **100KHz** 以下，修改我司软件驱动包中的 **DELAY** 宏，根据上位机主控制端时钟调整函数

```
#define DELAY // <延时时序宏，控制 SCL 以及 SDA 的速率，建议在 5uS 以上
```

- 4)、**降低显示亮度**

在不影响显示效果的前提下，可适当的降低显示亮度，达到抗干扰及减少整机功耗

- 5)、**配置通信口方式**

上位机主控制端的通信口配置方式

SCL 配置为输出方向， 建议方式：**推挽输出**

SDA 配置为输出方向时， 建议方式：推挽输出（若开漏需外接上拉）

SDA 配置为输入方向时， 建议方式：高阻输入， 避免第 9 个 BIT（ACK）影响整个时序

```
#define FD650_SCL_D_OUT {} ///<设置 SCL 为输出方向,对于双向 I/O 需切换为输出
#define FD650_SDA_D_OUT {} ///<设置 SDA 为输出方向,对于双向 I/O 需切换为输出,建议不要设置成推挽，避免 ACK 处的阶梯状波形出现。
#define FD650_SDA_D_IN {} ///<设置 SDA 为输入方向,对于双向 I/O 需切换为输入
```

10.2 . 显示支持：

FD650B 支持 4X8 四位数码管或 32 个发光管应用，在数码管与发光管混合应用中，需注意：发光管所用到的段位不可和数码管有用位段重复。例如四位数码管应用电路图中数码管位 1、3、4 的小数点 DP 段本身为空段（管内未接该位段 LED 发光管芯），发光管的应用便是利用这类数码管中的空闲位段。

11.3 . 键盘扫描：

FD650B 具有 4X7=28 键键盘扫描功能，如果应用中只需很少的按键，可以在 4X7 矩阵中任意选择配置。为了防止键被按下后在 KI 信号线与 DIG 信号线之间形成短路而影响显示，一般应该在 FD650B 的 DIG1~DIG4 引脚与键盘矩阵之间串接限流电阻，如下图中的 R2，其阻值可以从 1KΩ 至 10KΩ。同时，FD650B 支持组合键功能(最多可支持 4 组组合键功能)，在组合键应用中，应对具有组合键功能的 KI1 及 KI2 相互间进行隔离处理，如下图：（左边的 SW1 与 SW3 配置了组合键功能）

SW1 与 SW3 使用组合键盘功能

